

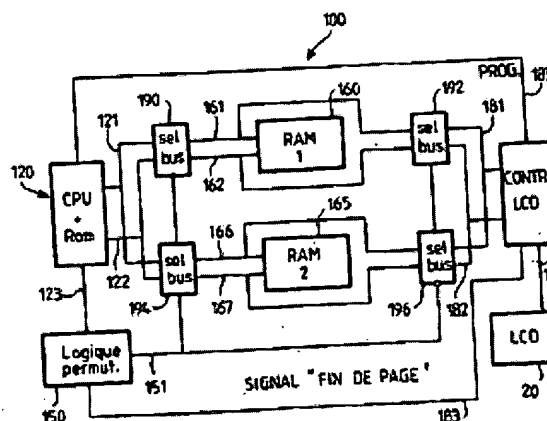
Electronic circuit for control of a graphics screen, especially of a liquid crystal screen

Patent number: FR2674361
Publication date: 1992-09-25
Inventor: CHASSERIEAU; JEAN-PIERRE BERTHON
Applicant: JAEGER (FR)
Classification:
- international: G09G3/18
- european: G09G3/36C; G09G5/399
Application number: FR19910003311 19910319
Priority number(s): FR19910003311 19910319

Report a data error

Abstract of FR2674361

The present invention relates to a graphics screen control circuit, of the type comprising a microcontroller (120), memory-forming means and a screen controller (180), characterised in that the memory-forming means comprise two static memories (160, 165) each having a size at least equal to the number of points on the screen, and in that the circuit further comprises permutation logic (150) governed by the microcontroller (120), but synchronised to the end-of-page-refresh clock of the screen controller (180) in order to confer, alternately and reciprocally, on each of the two static memories (160, 165), the role of working memory and the role of image memory.



Data supplied from the *esp@cenet* database - Worldwide

⑫

DEMANDE DE BREVET D'INVENTION

A1

⑫ Date de dépôt : 19.03.91.

⑫ Priorité :

⑫ Date de la mise à disposition du public de la
demande : 25.09.92 Bulletin 92/39.

⑫ Liste des documents cités dans le rapport de
recherche : *Se reporter à la fin du présent fascicule.*

⑫ Références à d'autres documents nationaux
apparentés :

⑫ Demandeur(s) : *JAEGER Société anonyme — FR.*

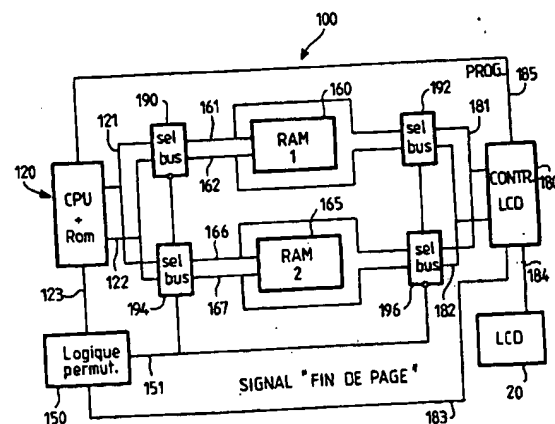
⑫ Inventeur(s) : *Chasserieu et Berthon Jean-Pierre.*

⑫ Titulaire(s) :

⑫ Mandataire : *Cabinet Regimbeau Martin Schrimpf
Warcoin Ahner.*

⑫ Circuit électronique pour la commande d'un écran graphique, notamment d'un écran à cristaux liquides.

⑫ La présente invention concerne un circuit de commande d'écran graphique, du type comprenant un microcontrôleur (120), des moyens formant mémoire et un contrôleur d'écran (180), caractérisé par le fait que les moyens formant mémoire comprennent deux mémoires statiques (160, 165) ayant chacune une taille au moins égale au nombre de points de l'écran, et que le circuit comprend en outre une logique de permutation (150) dirigée par le microcontrôleur (120), mais synchronisée sur l'horloge de fin de rafraîchissement de page du contrôleur d'écran (180) pour confier alternativement et réciproquement à chacune des deux mémoires statiques (160, 165), le rôle de mémoire de travail et le rôle de mémoire image.



La présente invention concerne un circuit électronique pour la commande d'un écran graphique, notamment d'un écran à cristaux liquides (LCD).

On entend par "écran graphique", un écran formé d'une
5 matrice de points pouvant être commandés séparément.

Tous les systèmes utilisant un écran LCD graphique utilisent une carte électronique, dénommé généralement "carte graphique", pour la commande de l'écran.

Cette carte graphique possède deux fonctions principales : la
10 construction de l'image à afficher d'une part et le rafraichissement périodique de l'écran LCD d'autre part.

On a représenté schématiquement sous forme de blocs fonctionnels, sur la figure 1 annexée, la structure d'une carte graphique classique.

15 Pour effectuer les deux fonctions précitées, les cartes graphiques classiques 10 sont partagées en trois sous ensembles principaux :
- un microcontrôleur 12 associé à une banque de données 14 pour la construction de l'image,
- un espace mémoire 16 pour conserver et modifier l'image, et
20 - un contrôleur d'écran 18 pour rafraichir l'affichage sur l'écran LCD graphique 20.

Les écrans LCD doivent recevoir périodiquement l'image à afficher pour conserver les informations.

Le rafraichissement de l'écran LCD 20 est fait par le
25 contrôleur d'écran 18 qui utilise tout son temps à lire les données de l'image mémorisée dans l'espace mémoire 16 et à envoyer ces données sur l'écran LCD 20.

L'espace mémoire 16 contenant les données à afficher est appelé généralement : "MEMOIRE IMAGE".

30 La fréquence minimum de rafraichissement est fixée par l'écran LCD. La fréquence minimum de rafraichissement est généralement comprise entre 50Hz et 100Hz. Cette fréquence ne doit pas être trop basse sinon des défauts sous forme de clignotement de l'image, pourraient apparaître.

La construction de l'image est réalisée comme suit.

Suivant les paramètres qu'il reçoit, le microcontrôleur 12 doit pouvoir modifier toute l'image ou simplement une partie de celle-ci.

Les modifications dépendent des paramètres d'entrée reçus
5 par le microcontrôleur. Elles sont donc totalement asynchrones du rafraichissement de l'écran LCD 20.

Pour modifier l'image, le microcontrôleur 12 doit remplacer dans l'espace mémoire 16 les anciennes données par les nouvelles.

Il doit pouvoir aussi relire les anciennes données.

10 L'espace mémoire 16 utilisé pour la construction de l'image est appelé généralement "MEMOIRE DE TRAVAIL".

On comprend ainsi que la question de l'espace mémoire 16 pose difficulté, compte-tenu du partage nécessaire de l'espace mémoire 16 entre le microcontrôleur 12 et le contrôleur d'écran 18.

15 Différentes méthodes ont été proposées pour résoudre cette difficulté.

On va ci-dessous présenter rapidement trois méthodes connues dénommées respectivement : accès prioritaire au microcontrôleur, accès en fin de ligne au microcontrôleur et accès synchronisé ou partage du temps.

20 La méthode dénommée "accès prioritaire au microcontrôleur" est la suivante.

Lorsque le microcontrôleur 12 veut modifier l'image, il bloque la séquence de rafraichissement du contrôleur d'écran 18. Cette méthode entraîne des défauts d'image (le rafraichissement de l'écran LCD 20 étant
25 altéré) plus ou moins visibles suivant la durée des accès du microcontrôleur 12. Cette méthode n'est donc acceptable que si le microcontrôleur 12 effectue peu de modifications (et sous réserve que celles-ci soient petites).

La méthode dénommée "accès en fin de ligne au microcontrôleur" est la suivante.

30 Cette méthode repose essentiellement sur la définition d'un temps libre disponible pour l'accès du microcontrôleur 12, après chaque rafraichissement d'une ligne par le contrôleur d'écran 18. Le temps disponible n'étant que de quelque dizaines de μ s par ligne, les mises à jour de l'image doivent être limitées. Par contre cette méthode n'entraîne aucun défaut d'affichage.

Ces deux premières méthodes ne peuvent être employées qu'avec des petits écrans et avec des images très peu modifiables.

Dans le cadre de la méthode dénommée "accès synchronisé ou partage du temps", le microcontrôleur 12 et le contrôleur d'écran 18 se
5 partagent le temps d'accès à la mémoire 16 par un multiplexage du bus d'adresses. Avec cette méthode le microcontrôleur peut obtenir jusqu'à 50% du temps, et la carte graphique peut commander des écrans de grande taille. Par contre, cette troisième méthode requiert des composants très rapides : multiplexeur de bus, mémoire et contrôleur d'écran, car sur un
10 écran de plus de 200.000 points le temps à partager est seulement d'environ 400ns par point.

En conclusion, les architectures électroniques connues ne donnent pas totalement satisfaction pour commander des écrans graphiques, notamment des écrans à cristaux liquides.

15 La présente invention a pour but de proposer de nouveaux moyens qui permettent d'éliminer les inconvénients de la technique antérieure, c'est-à-dire qui évite tout défaut d'affichage sans exiger pour autant des composants très rapides.

Ce but est atteint selon la présente invention, grâce à un
20 circuit de commande d'écran graphique, du type comprenant un microcontrôleur, des moyens formant mémoire et un contrôleur d'écran caractérisé par le fait que les moyens formant mémoire comprennent deux mémoires statiques ayant chacune une taille au moins égale au nombre de points de l'écran, et que le circuit comprend en outre une logique de permutation
25 dirigée par le microcontrôleur, mais synchronisée sur l'horloge de fin de rafraichissement de page du contrôleur d'écran pour confier alternativement et réciproquement à chacune des deux mémoires statiques le rôle de mémoire de travail et le rôle de mémoire image.

D'autres caractéristiques, buts et avantages de la présente
30 invention apparaîtront à la lecture de la description détaillée qui va suivre et en regard des dessins annexés donnés à titre d'exemples non limitatifs et sur lesquels :

- la figure 1 précédemment décrite représente une vue schématique, sous forme de blocs fonctionnels d'une carte graphique classique,

- la figure 2 représente une vue schématique sous forme de blocs fonctionnels, d'une carte graphique conforme à la présente invention,
- les figures 3 et 4 illustrent schématiquement deux étapes successives du fonctionnement de la carte graphique conforme à la présente invention
- 5 représentée sur la figure 2,
- la figure 5 représente une vue schématique, sous forme de blocs fonctionnels, d'un second mode de réalisation d'une carte graphique conforme à la présente invention,
- la figure 6 représente, sous forme de blocs fonctionnels, le schéma
- 10 interne d'un contrôleur graphique d'afficheur intégré à la carte représentée sur la figure 5,
- la figure 7 représente une vue schématique, sous forme de blocs fonctionnels, d'un troisième mode de réalisation d'une carte graphique conforme à la présente invention, conçue pour fonctionner soit de façon
- 15 autonome, soit avec un générateur externe d'images, et
- les figures 8A, 8B, 8C, 8D et 8E, qui doivent être prises en combinaison représentent le schéma détaillé d'une carte graphique conforme à ce troisième mode de réalisation.

PREMIER MODE DE REALISATION REPRESENTÉ SUR LES FIGURES 2 à 4

- 20 On va dans un premier temps décrire le premier mode de réalisation de la carte graphique conforme à la présente invention représentée sur les figures 2 à 4.

Comme représenté sur la figure 2, cette carte graphique 100 conforme à la présente invention comprend :

- 25
- une unité centrale 120 associée à une ou des mémoires ROM,
 - deux mémoires statiques 160, 165,
 - un contrôleur d'écran 180 conçu pour piloter l'écran graphique 20,
 - quatre sélecteurs de bus 190, 192, 194 et 196, et
 - une logique de permutation 150.

- 30 L'unité centrale 120 associée aux mémoires ROM construit l'image à afficher sur l'écran 20, sur la base des informations contenues dans les mémoires ROM.

L'unité centrale 120 est reliée aux deux mémoires statiques 160, 165, par les sélecteurs de bus 190, 194.

Plus précisément, un bus de données image 121 issu de l'unité centrale 120 aboutit aux deux sélecteurs de bus 190, 194. Le bus de données image 121 se prolonge au-delà du sélecteur de bus 190 par un bus de données image 161 qui aboutit à la première mémoire statique 160. Le même bus de données image 121 se prolonge au-delà du sélecteur de bus 194 par un bus de données image 166 qui aboutit à la deuxième mémoire statique 165.

Par ailleurs, un bus d'adresses 122 issu de l'unité centrale 122 aboutit aux deux sélecteurs de bus 190, 194. Le bus d'adresses 122 se prolonge au-delà du sélecteur de bus 190 par un bus d'adresses 162 qui aboutit à la première mémoire statique 160. De même, le bus d'adresses 122 se prolonge au-delà du sélecteur de bus 194 par un bus d'adresses 167 qui aboutit à la deuxième mémoire statique 165.

Les deux sélecteurs de bus 190, 194 sont commandés en opposition par la logique de permutation 150 grâce à la liaison 151. Ainsi, l'unité centrale 120 peut charger alternativement les deux mémoires statiques 160, 165, sur la base des informations contenues dans les mémoires ROM associées, selon l'état des sélecteurs de bus 190, 194.

Lorsque le sélecteur de bus 190 est validé, l'unité centrale 120 charge la mémoire statique 160.

Inversement, lorsque le sélecteur de bus 194 est validé, l'unité centrale 120 charge la seconde mémoire statique 165.

De son côté, le contrôleur d'écran 180 est relié aux deux mémoires statiques 160, 165, par deux sélecteurs respectifs 192, 196.

Plus précisément, un bus de données image 181 issu des deux sélecteurs de bus 192, 196, aboutit au contrôleur d'écran 180. Ce bus de données image 181 se prolonge au-delà du sélecteur de bus 192 par le bus de données image 161 précité. De même, le bus de données image 181 se prolonge au-delà du sélecteur de bus 196 par le bus de données image 166 précité.

Par ailleurs, un bus d'adresses 182 issu des deux sélecteurs de bus 192, 196 aboutit au contrôleur d'écran 180. Le bus d'adresses 182 se prolonge au-delà du sélecteur de bus 192 par le bus d'adresses 162 précité. De même, le bus d'adresses 182 se prolonge au-delà du sélecteur de bus 196
5 par le bus 167 précité.

Les deux sélecteurs de bus 192, 196 sont commandés en opposition par la logique de permutation 150.

Ainsi, le contrôleur d'écran 180 peut lire alternativement dans les deux mémoires statiques 160, 165 selon l'état des sélecteurs de bus 192,
10 196.

Lorsque le sélecteur de bus 192 est validé, le contrôleur d'écran 180 lit dans la première mémoire statique 160.

Inversement, lorsque le sélecteur de bus 196 est validé, le contrôleur d'écran 180 lit dans la seconde mémoire statique 165.

15 En outre, selon une autre caractéristique importante de la présente invention, les sélecteurs 190, 192 reliés au bus de données 161 et d'adresses 162 associés à la première mémoire statique 160 sont commandés en opposition par la logique de permutation 150. De même, les deux sélecteurs de bus 194, 196 reliés au bus de données 166 et au bus d'adresses
20 167 associés à la seconde mémoire 165, sont commandés en opposition.

Ainsi, lorsque l'unité centrale 120 charge une mémoire statique 160 ou 165, le contrôleur d'écran 180 peut lire dans l'autre mémoire 165 ou 160.

Chaque mémoire statique 160, 165, joue ainsi alternativement
25 le rôle de mémoire de travail puis le rôle de mémoire image.

La logique de permutation 150 est pilotée par l'unité centrale 120 par l'intermédiaire d'une liaison 123. En outre, la logique de permutation 150 est pilotée par un signal de fin de page généré par le contrôleur d'écran 180 et appliqué à la logique de permutation 150 par
30 l'intermédiaire de la liaison 183. Ainsi, la logique de permutation 150 est dirigée par l'unité centrale 120 mais est synchronisée par le contrôleur d'écran 180 sur son horloge de fin de rafraichissement de page.

On notera enfin à l'examen de la figure 2, une liaison de programmation 185 établie entre l'unité centrale 120 et le contrôleur d'écran 180.

La liaison établie entre le contrôleur d'écran 180 et l'écran
5 graphique 20 est schématisée sous la référence 184 sur la figure 2.

Chacune des deux mémoires statiques 160, 165 doit bien entendu posséder une taille supérieure ou égale au nombre de points de l'écran graphique 20.

A titre d'exemple non limitatif, pour un écran graphique 20
10 formé de 230 400 points, on pourra utiliser des mémoires statiques 160, 165 de 256K bits.

On va maintenant décrire le fonctionnement de la carte graphique représentée sur la figure 2 en regard des figures 3 et 4 annexées.

La figure,3 représente l'état de la carte graphique lors d'une
15 étape d'initialisation.

Au cours de cette étape d'initialisation, la logique de permutation 150 valide le sélecteur de bus 190 et le sélecteur de bus 196. De ce fait, la logique de permutation 150 oriente l'unité centrale 120 sur la première mémoire statique 160, tandis qu'elle oriente le contrôleur d'écran
20 180 vers la seconde mémoire statique 165.

Le contrôleur d'écran 180 est bloqué par l'unité centrale 120. Il n'y a donc pas de rafraichissement et donc pas d'image sur l'écran graphique 20.

On supposera maintenant que le système veut afficher une
25 première page graphique dénommée "PG1".

L'unité centrale 120 construit alors la première page graphique PG1 dans la première mémoire statique 160, par l'intermédiaire du sélecteur de bus 190. Pendant ce temps, le contrôleur 180 reste toujours bloqué.

30 A la fin de la construction de la première page graphique PG1, l'unité centrale 120 demande la permutation du système et débloque le contrôleur 180.

Sur le premier signal "fin de page" issu du contrôleur d'écran 180 et appliqué à la logique de permutation 150 par la liaison 183, cette dernière effectue la permutation du système.

Comme représenté sur la figure 4, les sélecteurs de bus 190 et 196 sont alors invalidés et inversement les sélecteurs de bus 192 et 194 sont validés à leur tour.

L'unité centrale 120 possède maintenant l'accès à la deuxième mémoire statique 165, par l'intermédiaire du sélecteur de bus 194.

Le contrôleur d'écran 180 possède de son côté l'accès à la première mémoire statique 160, par l'intermédiaire du sélecteur de bus 192.

Le contrôleur d'écran 180 peut par conséquent commander l'affichage, sur l'écran graphique 20, de la première page graphique PG1 contenue dans la mémoire statique 160.

Si le système demande la modification de la première page graphique affichée PG1, l'unité centrale 120 change les parties concernées de cette page graphique PG1, dans la seconde mémoire statique 165, pour obtenir la seconde image graphique PG2 souhaitée.

Une fois la construction de cette seconde page graphique PG2 achevée, l'unité centrale 120 demande une nouvelle permutation de mémoire. Cette permutation est effectuée sur le prochain signal "fin de page" issu du contrôleur 180. Les sélecteurs de bus 194, 192 sont alors invalidés, et les sélecteurs de bus 190, 196 validés à nouveau.

La carte graphique conforme à la présente invention représentée sur les figures 2, 3 et 4 suit ainsi un fonctionnement cyclique sur la base des étapes précitées, au rythme des modifications d'images demandées.

Les avantages de la carte graphique conforme à la présente invention par rapport aux dispositifs antérieurement connus et rappelés précédemment, sont notamment les suivants.

L'utilisation de deux mémoires statiques 160, 165 travaillant alternativement en mémoire de travail puis en mémoire d'image évite tout conflit d'accès à l'espace mémoire.

La carte graphique conforme à la présente invention permet d'utiliser des composants classiques ne nécessitant pas de grande vitesse de fonctionnement.

La construction des images est simplifiée par la possibilité
5 qu'a l'unité centrale 120 de lire la mémoire de travail.

Enfin, et cela est très important, la construction des modifications sur l'image n'est pas visible sur l'écran graphique 20.

SECOND MODE DE REALISATION REPRESENTÉ SUR LA FIGURE 5

On va maintenant décrire le seconde mode de réalisation de la
10 carte graphique conforme à la présente invention, représentée sur la figure 5 annexée.

On retrouve sur la figure 5 annexée, une unité centrale 120, deux mémoires statiques 160, 162, et un écran graphique 20 conformes aux dispositions précédemment décrites en regard de la figure 2.

15 Toutefois, on notera à l'examen de la figure 5, que selon le second mode de réalisation représenté sur celle-ci, un circuit 200 dénommé contrôleur graphique d'afficheur, CGA, regroupe le contrôleur d'écran 180, ainsi que les circuits de sélection 190, 192, 194, 196, et la logique de commutation 150.

20 L'unité centrale 120 reste reliée au contrôleur graphique d'afficheur 200 par la liaison de programmation 185, ainsi que par un bus de données 121 et un bus d'adresses 122. Un bus de données 161 issu du contrôleur graphique d'afficheur 200 aboutit aux deux mémoires statiques 160, 165. De même un bus d'adresses 162 issu du contrôleur graphique
25 d'afficheur 200 aboutit aux deux mémoires statiques 160, 165. La sélection entre les deux mémoires statiques 160, 165 est commandée par le contrôleur graphique d'afficheur 200 par l'intermédiaire d'une liaison référencée schématiquement 151.

Enfin, sur la figure 5, la liaison établie entre le contrôleur
30 graphique d'afficheur 200 et l'écran graphique 20 est référencée schématiquement 184.

Le principe de fonctionnement du second mode de réalisation conforme à la présente invention représenté sur la figure 5, reste le même que celui de la première version décrite précédemment en regard des figures 2 à 4. C'est-à-dire que le contrôleur graphique d'afficheur 200 est

5 conçu pour piloter les deux mémoires statiques 160, 165, de sorte que celles-ci jouent alternativement le rôle de mémoire de travail, puis le rôle de mémoire image. Ainsi, lorsque l'unité centrale charge la première mémoire statique 160, le contrôleur d'écran intégré au contrôleur graphique d'afficheur 200 lit dans la seconde mémoire statique 165, et inversement.

10 Par contre, et c'est là un avantage essentiel de ce second mode de réalisation, l'unité centrale 120 représentée sur la figure 5 n'a plus à reconstruire l'image après la permutation des mémoires statiques 160, 165. La recopie est faite automatiquement par le contrôleur graphique d'afficheur 200 pendant le premier rafraichissement de l'image.

15 Les avantages du second mode de réalisation représenté sur la figure 5 par rapport au premier mode de réalisation représenté sur les figures 2 à 4 et précédemment décrit sont essentiellement les suivants :

- réduction du coût,
- réduction de la surface de la carte correspondante, et
- 20 - diminution du temps de traitement de l'unité centrale 120 donc diminution du temps de réponse du système.

On va maintenant décrire la structure et le fonctionnement général d'un mode de réalisation particulier du contrôleur graphique d'afficheur 200 représenté sur la figure 6.

25 Selon le mode de réalisation représenté sur cette figure, le contrôleur graphique d'afficheur 200 comprend :

- un multiplexeur 8 voies 3/1 référencé 250,
- un multiplexeur 15 voies 3/1 référencé 255,
- un organe de commutation de mémoires statiques référencé 260,
- 30 - une logique de partage du temps et de recopie référencée 265,

- un organe de conversion de données image 270,
- un compteur d'adresses de rafraichissement 275,
- un compteur d'adresses externe 280,
- un organe de programmation 285, et
- 5 - un séquenceur du circuit référencé 290.

L'interface entre le contrôleur graphique d'afficheur 200 et l'unité centrale 120 est assurée par les moyens suivants :

- le bus de données 121 sur huit bits issus de l'unité centrale 120. Ce bus de données 121 aboutit au multiplexeur 250 et à l'organe de programmation 10 285.
- le bus d'adresses 122 sur quinze bits issus de l'unité centrale 120. Ce bus d'adresses 122 aboutit au multiplexeur 255.
- une liaison 206 issue de l'unité centrale 120. Cette liaison 206 aboutit à la logique 265. Elle permet à l'unité centrale 120 d'appliquer à la logique 15 265 des signaux de commande d'écriture ou de lecture.
- une liaison 208 issue de l'unité centrale 120. Cette liaison 208 aboutit à l'organe de commutation 260. Elle permet à l'unité centrale 120 d'appliquer à l'organe 260 des signaux de commande de permutation pour sélectionner parmi les deux mémoires statiques 160, 165, celle qui doit servir de 20 mémoire de travail.
- une liaison 210 issue de l'unité centrale 120. Cette liaison 210 aboutit au multiplexeur 255. Elle permet à l'unité centrale 120 d'appliquer au multiplexeur 255 un signal CPU/EXT permettant de sélectionner entre l'unité centrale 120 ou un module externe, par exemple un système de 25 navigation, comme cela sera évoqué par la suite, pour générer les images destinées à être visualisées sur l'écran graphique 20.
- une liaison 212 issue de l'unité centrale 120 et appliquée à l'unité de programmation 285. Cette liaison 212 permet à l'unité centrale 120 d'accéder au registre de programmation du contrôleur graphique d'afficheur 30 200 en appliquant sur la liaison 212 un signal dit "chip select" de ce contrôleur.

L'interface entre le contrôleur graphique d'afficheur 200 et le module externe précité, par exemple un système de navigation, est assurée par les moyens suivants :

- un bus de données externe 214 sur huit bits issus de ce module externe, 5 qui aboutit au multiplexeur 250.
- des fils 216 d'horloge externe de données et de trame issus du module externe et appliqués au compteur d'adresses externe 280.
- l'interface entre le contrôleur graphique d'afficheur 200 et les deux mémoires statiques 160, 165, est assurée par les moyens suivants :
 - 10 - le bus de données 161 sur huit bits issus du multiplexeur 250.
 - le bus d'adresses 162 sur quinze bits issus du multiplexeur 255.
 - une liaison 222 issue de la logique 265 et qui permet d'appliquer des signaux d'écriture et de lecture aux mémoires 160, 165.
 - la liaison 151 issue de la logique de commutation 260 et qui permet 15 d'appliquer des signaux de sélection sur les mémoires 160, 165.

L'interface entre le contrôleur graphique d'afficheur 200 et l'écran graphique 20 est assurée par les moyens suivants :

- un bus de données 226 issu du bloc de conversion de données image 270.
- des fils d'horloge 228 issus du séquenceur 290.

20 Par ailleurs, on notera à l'examen de la figure 6 que le séquenceur 290 est relié à un oscillateur externe par l'intermédiaire de liaisons 230, 232.

En outre, le contrôleur graphique d'afficheur 200 représenté sur la figure 6, possède les liaisons internes suivantes :

- 25 - la logique de partage de temps et de recopie 265 est reliée au multiplexeur 250 par la liaison 234.
- la même logique 265 est reliée à l'organe de commutation des mémoires 260 par une liaison 236.
- le séquenceur de circuit 290 et l'unité de programmation 285 sont reliés 30 par la liaison 238.
- le même séquenceur 240 et la logique 265 sont reliées par la liaison 240.

- le même séquenceur 290 est relié au compteur d'adresses de rafraichissement 275 par la liaison 242.
- le multiplexeur 250 est relié à l'unité de conversion de données image 270 par la liaison 244.
- 5 - le compteur d'adresses de rafraichissement 275 est relié au multiplexeur 255 par la liaison 246,
- le compteur d'adresses externe 280 est relié au multiplexeur 255 par la liaison 248, et
- la logique 265 est reliée au multiplexeur 255 par une liaison 249.

10 Les taches essentielles des blocs fonctionnels 250 à 290 représentées sur la figure 6 sont les suivantes.

L'unité centrale 120 peut accéder au registre de programmation 285 du contrôleur graphique d'afficheur. Ainsi l'unité centrale 120 peut définir la taille de l'écran graphique 20, c'est-à-dire le nombre de points et
15 le nombre de lignes, la fréquence de rafraichissement, et la bonne conversion des données, c'est-à-dire le nombre de fils de données vers l'écran graphique 20. Cette programmation permet au séquenceur 290 de créer toutes les horloges internes et externes du système.

Le temps d'accès au bus de données 161 et au bus d'adresses
20 162 est partagé entre le rafraichissement de l'écran graphique 20 et la construction des images (par l'unité centrale 120 ou par le module externe).

Les deux multiplexeurs 250, 255 sont controlés à cet effet par la logique 265.

La logique 265 commande aussi la recopie automatique des
25 mémoires statiques 160 et 165 au début du rafraichissement, en contrôlant les signaux de sélection des mémoires, par l'intermédiaire du bloc de commutation 260, ainsi que les signaux d'écriture et de lecture appliqués par l'intermédiaire des liaisons 222.

Le bloc multiplexeur d'adresses 255 a pour fonction de
30 sélectionner un bus de quinze lignes parmi les trois bus suivants :

- le bus 122 de l'unité centrale,
- le bus interne 246 de rafraichissement, et
- le bus interne 248 définissant les adresses du module externe.

Ce multiplexeur 255 est mono-directionnel.

Le bloc multiplexeur de données 250 a pour fonction de sélectionner un bus de huit lignes parmi les trois bus suivants :

- le bus de données 121 de l'unité centrale 120,
- 5 - le bus interne 244 de rafraichissement, et
- le bus 214 issu du module externe. Ce module 250 est bidirectionnel pour le bus 121 relié à l'unité centrale 120.

Le bloc de conversion 270 a pour fonction de conformer les données image. En effet, les données sont lues, huit bits par huit bits sur la trame image 160 ou 165, mais les données envoyées à l'écran graphique 20
10 peuvent être sur 1, 2, 4, ou 8 bits. Le bloc 270 a donc pour fonction de convertir les données suivant la programmation des registres.

Le bloc compteur d'adresses de rafraichissement 275 et le bloc compteur d'adresses externe 280 servent à construire les adresses
15 nécessaires sur quinze bits à partir d'une horloge de base.

TROISIEME MODE DE REALISATION REPRESENTE SUR LES FIGURES 7 ET 8

On va maintenant décrire le troisième mode de réalisation conforme à la présente invention représenté sur les figures 7 et 8A, 8B, 8C,
20 8D, 8E.

Le troisième mode de réalisation représenté sur les figures 7 et 8 annexées, se distingue essentiellement du premier mode de réalisation représenté sur les figures 2 à 4 par le fait qu'il permet, soit un fonctionnement autonome du système de façon comparable au premier
25 mode de réalisation de la figure 2, soit un fonctionnement piloté par un générateur externe d'image, tel que par exemple un système de radio-navigation.

Dans le cas d'un fonctionnement autonome similaire au mode de réalisation de la figure 2, toutes les images visualisées sur l'écran
30 graphique 20 sont construites par la carte 100 grâce à l'utilisation d'une banque d'images stockées en ROM. Alors que sur la figure 2, les ROM étaient considérées comme intégrées à l'unité centrale 120, sur la figure 7, les ROM sont représentées séparément sous la référence 140,141. Le

nombre et la capacité des ROM 140, 141 doivent bien entendu être adaptés à la capacité totale requise pour la banque de données d'image.

Toujours dans le cas du fonctionnement autonome, la carte gère aussi l'espace mémoire et le contrôleur de l'écran graphique 20.

5 Dans le cas d'un fonctionnement piloté par un générateur externe d'image, la carte graphique représentée sur la figure 7 reçoit directement les données image fournies par ce module externe, par exemple un système de radio-navigation. Dans ce cas, aucune image n'est créée par la carte graphique représentée sur la figure 7. Celle-ci ne sert
10 alors qu'à gérer l'espace mémoire et à programmer le contrôleur de l'écran graphique 20.

On retrouve sur la figure 7, les éléments suivants décrits précédemment en regard de la figure 2 : l'unité centrale 120, les deux mémoires statiques 161, 165, les quatre sélecteurs de bus 190, 192, 194,
15 196, le contrôleur d'écran 180 et les bus ou liaisons 121, 122, 161, 162, 166, 167, 181, 182, 151, 184 et 185.

Selon la figure 7, les différentes mémoires ROM 140, 141 formant banque d'images sont reliées à l'unité centrale 120 par un bus de données 145 et un bus d'adresses 146.

20 Par ailleurs, par rapport au premier mode de réalisation représenté sur la figure 2, le troisième mode de réalisation illustré sur la figure 7 possède en outre les composants suivants : un sélecteur de bus 310, un sélecteur de bus 320, et un compteur 300.

Le compteur 300 a pour fonction de générer les signaux d'adresses associés au module externe à partir des signaux d'horloges
25 externes issus de celui-ci. Le compteur 300 reçoit des signaux d'horloges sur son entrée 302. La sortie 304 du compteur 300 est reliée au bus d'adresses 122 qui communique avec les deux sélecteurs de bus 190 et 194.

Le sélecteur de bus 310 a pour but d'appliquer sélectivement
30 les données image issues du module externe sur le bus 121. L'entrée du sélecteur de bus 310 est formée par un bus 312 issu du module externe. La sortie 314 du sélecteur de bus 310 est reliée au bus de données 121 qui aboutit au sélecteur de bus 190, 194.

Enfin, le sélecteur de bus 320 a pour but d'isoler l'unité centrale 120 des mémoires statiques 160, 165, lorsque celles-ci sont rafraichies par le module externe.

5 A cet effet, le sélecteur de bus 320 est intercalé entre un bus primaire de données 1210 issu de l'unité centrale 120 et le bus de données 121 qui aboutit au sélecteur 190, 194. De plus le sélecteur de bus 320 est intercalé entre un bus d'adresses primaires 1220 issu de l'unité centrale 120 et le bus d'adresses 122 qui aboutit au sélecteur 190, 194.

10 Les sélecteurs de bus 310, 320 et le compteur d'adresses 300 sont pilotés par un signal PC/UP qui sera évoqué plus en détail par la suite.

On va maintenant décrire le mode de réalisation détaillé de la carte graphique représentée sur les figures 8A, 8B, 8C, 8D et 8E.

On rappelle que le schéma détaillé représenté sur ces figures 8A à 8E, correspond à un mode de réalisation particulier de la carte
15 illustrée schématiquement sur la figure 7.

On retrouve sur les figures 8A à 8E, l'unité centrale 120, les deux mémoires statiques 160, 165, et le contrôleur d'écran 180.

20 Selon le mode de réalisation particulier représenté sur les figures 8A à 8E, il est prévu quatre mémoires ROM référencées 140, 141, 142 et 143, connectées en parallèle et associées à l'unité centrale 120.

Les mémoires ROM 140, 141, 142 et 143 sont reliées à l'unité centrale 120 par un bus de données à huit bits 145. Les mêmes mémoires ROM 140, 141, 142 et 143, sont reliées à l'unité centrale 120 par un bus d'adresses à quinze bits 146.

25 Selon le mode de réalisation particulier représenté sur les figures 8A à 8E, le bus de données 145 à huit bits est confondu avec le bus de données 1210 de la figure 7 dirigé vers le sélecteur de bus 320. De même, le bus d'adresses 146 à quinze bits, selon les figures 8A à 8E, est confondu avec le bus d'adresses 1220 de la figure 7 dirigé vers le sélecteur
30 de bus 320.

Selon les figures 8A à 8E, le sélecteur de bus 320 de la figure 7 est formé des boîtiers 3220, 3221 et 3222.

Le boîtier 3222 relie sélectivement le bus de données 1220 de l'unité centrale 120 au bus de données 121.

Les deux boîtiers 3220, 3221 relient sélectivement le bus d'adresses 1220 de l'unité centrale 120 au bus 122.

5 Le bus d'adresses 1220 est un bus 7 fils, correspondant aux bits de poids fort, au niveau de son raccordement à l'unité centrale 120. Pour compléter les adresses, et plus précisément former les huit bits de poids faible de celles-ci, le bus d'adresses 1220 est par ailleurs relié au bus de données 1210 par un boîtier 3223.

10 On retrouve sur la figure 8D, le sélecteur de bus 310 placé entre les entrées de données 3100, 3101, 3102, 3103, 3104, 3105, 3106 et 3107 du module externe et le bus 121. Ces entrées 3100 à 3107 correspondent à la référence générale 312 sur la figure 7.

Selon les figures 8A à 8E, le compteur 300 de la figure 7 est
15 formé de deux boîtiers de compteurs 3000, 3001. Ces compteurs 3000, 3001, génèrent les signaux d'adresses correspondant aux images du module externe sur la base des signaux d'horloges appliqués par ce module externe sur les entrées 3108, 3109 et 3110. Ces entrées 3108 à 3110 correspondent à la référence générale 302 sur la figure 7.

20 Selon les figures 8A à 8E, le sélecteur 190 est formé de trois boîtiers 1900, 1901 et 1902.

Les deux boîtiers 1900 et 1901 relient sélectivement le bus d'adresses 122 au bus d'adresses 162. De même, le boîtier 1902 relie sélectivement le bus de données 121 au bus de données 161.

25 Comme indiqué précédemment, le bus d'adresses 162 et le bus de données 161 sont reliés à la première mémoire statique 160.

Selon le mode de réalisation représenté sur les figures 8A à 8E, le sélecteur de bus 194 est également formé de trois boîtiers 1940, 1941 et 1942.

30 Les deux boîtiers 1940 et 1941 relient sélectivement le bus d'adresses 122 et le bus d'adresses 167.

De même, le boîtier 1942 relie sélectivement le bus de données 121 et le bus de données 166.

Comme indiqué précédemment, le bus de données 166 et le bus d'adresses 167 sont reliés à la seconde mémoire statique 165.

5 Selon le mode de réalisation représenté sur les figures 8A à 8E, le sélecteur de bus 192 est également formé de trois boîtiers 1920, 1921 et 1922. Les deux boîtiers 1920 et 1921 relient sélectivement le bus d'adresses 162 et le bus d'adresses 182.

10 De même, le boîtier 1922 relie sélectivement le bus de données 161 et le bus de données 181.

 Selon le mode de réalisation représenté sur les figures 8A à 8E, le sélecteur de bus 196 est également formé de trois boîtiers 1960, 1961 et 1962.

15 Les deux boîtiers 1960 et 1961 relient sélectivement le bus d'adresses 167 et le bus d'adresses 182.

 De même, le boîtier 1962 relie sélectivement le bus de données 166 et le bus de données 181.

 Comme indiqué précédemment, le bus de données 181 et le bus d'adresses 182 aboutissent au contrôleur d'écran 180.

20 Le fonctionnement du dispositif représenté sur les figures 8A à 8E, est pour l'essentiel identique à celui précédemment décrit en regard de la figure 7.

25 En mode de fonctionnement autonome, c'est-à-dire lorsque le module externe relié aux entrées 3100 à 3110, n'est pas utilisé, l'unité centrale 120 travaille alternativement avec les deux mémoires statiques 160 et 165. Plus précisément, l'unité centrale 120 travaille sur une mémoire 160 ou 165 pendant que le contrôleur d'écran 180 rafraîchit l'écran graphique 20 en utilisant les données de l'autre mémoire statique 165 ou 160.

30 Ceci permet d'éliminer tous les conflits sur les bus de données et d'adresses.

Les circuits de sélection 1900, 1901, 1940, 1941, 1902, 1942, 1922, 1962, 1920, 1921, 1960, 1961 permettent d'orienter l'unité centrale 120 ou le contrôleur 180 sur les bonnes mémoires 160 ou 165.

Lorsque l'unité centrale 120 a terminé la modification de
5 l'image, il peut commander la permutation des mémoires 160 et 165.

Le contrôleur 180 rafraîchit alors l'écran graphique 20 avec la nouvelle image. L'unité centrale 120 peut alors faire la mise à jour des modifications sur l'autre mémoire après chaque basculement.

Lorsque la carte graphique représentée sur les figures 8A à 8E
10 travaille en autonome, elle utilise sa banque image contenue dans les mémoires ROM 140, 141, 142 et 143.

En revanche, lorsque la carte graphique travaille avec un module externe relié aux entrées 3100 à 3110, les données "image" provenant de ce module externe sont directement rangées dans la mémoire
15 de travail 160 ou 165.

L'accès de l'unité centrale 120 au bus de données 121 est contrôlé par le boîtier de sélection 3222. L'accès de l'unité centrale 120 au bus d'adresses 122 est contrôlé par les boîtiers de sélection 3220 et 3221.

De même, l'accès du module externe au bus de données 121
20 est contrôlé par le boîtier de sélection 310, tandis que l'accès du même module externe au bus d'adresses 122 est contrôlé par les compteurs 3000 et 3001.

Les données image issues du module externe et appliquées sur les entrées 3100 à 3107 sont directement fournies à l'une des mémoires
25 statiques 160 ou 165 par l'intermédiaire du boîtier de sélection 310 et de l'un des boîtiers de sélection 1902, 1942. En revanche, les adresses associées au module externe sont recrées au niveau de la carte conforme à la présente invention, grâce aux compteurs d'octets 3000 et 3001.

La liaison avec l'écran graphique 20 en sortie du contrôleur
30 180 est assurée par :

- huit fils de données référencés 1800, 1801, 1802, 1803, 1804, 1805, 1806 et 1807,
- quatre fils d'horloge référencés 1808, 1809, 1810 et 1811.

Par ailleurs, l'écran graphique 20 reçoit les fils d'alimentation et un fil de réglage de contraste, non représenté sur les figures 8A à 8E pour simplifier l'illustration.

La liaison avec le module externe est assurée par :

- 5 - les huit fils de données 3100 à 3107 précités,
- les trois fils d'horloge 3108, 3109 et 3110 précités, et
- un fil de masse 3111.

On notera par ailleurs, à l'examen des figures 8A à 8E annexées, la présence de différentes portes ou boîtiers logiques additionnels portant les références générales U2, U3, U4, U21, U25, U26 et U27. Ces portes et boîtiers logiques additionnels sont destinés à assurer la logique de la carte. Cette logique et donc la configuration des portes et boîtiers logiques précités peuvent faire l'objet de nombreuses variantes. Pour cette raison, la disposition des portes et boîtiers logiques U2, U3, U4, U21, U25, U26 et U27 représentée sur les figures 8A à 8E annexées ne sera pas décrite plus en détail par la suite.

A titre d'exemple non limitatif, les boîtiers représentés sur les figures 8A à 8E annexées peuvent être formés des éléments suivants :

- unité centrale 120 : μ P 80C31 de RTC
- 20 - mémoires ROM 140, 141, 142, 143 : 27C256
- mémoires RAM 160 et 165 : TC 55257
- contrôleur d'écran 180 : circuit 6255 de OKI
- sélecteur 3223 : 74 HC 573
- sélecteurs 3220, 1900, 1920, 3221, 1901, 1922, 1921, 310, 1940, 1962, 1960, 1941 et 1961 : 7417C541
- 25 - sélecteurs 3222, 1902 et 1942 : 7417C245
- boîtier U25 : 74 HC 138
- boîtiers U26 et U27 : 74 HC 08
- boîtier U21 : 74 HC 32
- 30 - boîtier U2 : 74 HC 20
- boîtier U3 : 74 HC 04
- boîtier U4 : 74 HC 74
- compteurs U5 et U6 : 74 HC 590.

Le contrôleur d'écran 180 rafraîchit périodiquement l'écran 20, typiquement à une fréquence comprise entre 60 et 70 Hertz.

Le contrôleur 180 doit donc toujours pouvoir accéder à l'une des mémoires 160, 165 en mode lecture.

5 Par contre, l'unité centrale 120 doit pouvoir écrire et lire dans la mémoire de travail 160 ou 165.

Si l'unité centrale 120 ne pouvait pas lire dans la mémoire de travail 160 ou 165, elle ne pourrait accéder qu'à octet l'image et non pas au bit image. Pour modifier un bit, il lui suffit de lire l'octet contenant le
10 bit, de faire une opération logique en interne, puis de réécrire l'octet.

La carte d'interface du module externe doit aussi pouvoir écrire dans la mémoire de travail 160 ou 165.

Pour cette raison, l'unité centrale 120 et le contrôleur d'écran 180 doivent pouvoir accéder aux mémoires 160 ou 165 en mode lecture.

15 De même, l'unité centrale 120 et la carte du module externe raccordée aux entrées 3100 à 3110 doivent pouvoir accéder aux mémoires 160 ou 165 en mode écriture.

Pour cette raison, les bus d'adresses 122, 162 et 182, sont isolés par des sélecteurs mono-directionnels 3220, 3221, 1900, 1901, 1940,
20 1941, 1920, 1921, 1960 et 1961.

Les bus de données 121, 161, 166, et 181, du module externe et du contrôleur 80 sont aussi isolés par des sélecteurs mono-directionnels 310, 1922, 1962, car ils ne sont utilisés qu'en lecture pour le contrôleur 180 ou qu'en écriture pour le module externe.

25 En revanche, le bus de données 1210, de l'unité centrale 120 étant bidirectionnel, il est isolé par des sélecteurs bidirectionnels 3222, 1902 et 1942.

La sélection des boîtiers est faite par les signaux suivants :

- signal UP : lorsque le signal UP = 0, l'unité centrale 120 peut accéder au
30 bus de données 121 et au bus d'adresses 122.
- signal PC : lorsque le signal PC = 0, le module externe peut accéder au bus de données 121 et au bus d'adresses 122.

- signal M1 : lorsque le signal M1 = 1, l'unité centrale 120 peut travailler sur la première mémoire statique 160 et le contrôleur 180 rafraîchit l'écran graphique 20 avec la seconde mémoire statique 165.

5 - signal M2 : lorsque le signal M2 = 1, l'unité centrale 120 peut travailler sur la seconde mémoire statique 165 tandis que le contrôleur 180 rafraîchit l'écran graphique 20 avec la première mémoire statique 160.

- signal RD2 : lorsque le signal RD2 = 1, les sélecteurs 3222, 1902 et 1942 sont dans le sens écriture, tandis que le signal RD2 = 0, les sélecteurs 3222, 1902 et 1942 sont dans le sens lecture.

10 Comme indiqué précédemment, la permutation des mémoires 160 et 165 doit être synchronisée avec la fin du rafraichissement de l'écran graphique 20. L'unité centrale 120 demande une permutation en inversant l'état logique de sa sortie A18. Cette demande est validée lorsque le signal de fin de ligne et le signal de fin de trame sont activés. La combinaison
15 logique du signal de fin de ligne et du signal de fin de trame est établie par la porte U27 représentée sur la figure 8C. Cette porte logique U27 combine deux sorties du contrôleur 180.

La combinaison logique de la sortie A18 du signal de fin de ligne et du signal de fin de trame est opérée par les portes 3200 et 3202
20 représentées sur la figure 8D. La bascule 3202 génère à sa sortie les signaux de commutation M1 et M2 précités.

Bien entendu la présente invention n'est pas limitée aux modes de réalisation particuliers qui viennent d'être décrits mais s'étend à toutes variantes conformes à son esprit.

25

30

R E V E N D I C A T I O N S

1. Circuit de commande d'écran graphique, du type comprenant un microcontrôleur (120), des moyens formant mémoire et un
5 contrôleur d'écran (180), caractérisé par le fait que les moyens formant mémoire comprennent deux mémoires statiques (160, 165) ayant chacune une taille au moins égale au nombre de points de l'écran, et que le circuit comprend en outre une logique de permutation (150) dirigée par le microcontrôleur (120), mais synchronisée sur l'horloge de fin de rafraichissement de page du contrôleur d'écran (180) pour confier alternativement et
10 réciproquement à chacune des deux mémoires statiques (160, 165), le rôle de mémoire de travail et le rôle de mémoire image.

2. Circuit de commande selon la revendication 1, caractérisé par le fait qu'il comprend :

- 15 - un bus de données (121) issu du microcontrôleur (120),
- deux sélecteurs (190, 194 ; 1902, 1942) aptes à relier alternativement le bus de données (121) issu du microcontrôleur (120) aux deux mémoires statiques (160, 165),
- un bus d'adresses (122) issu du microcontrôleur (120),
- 20 - deux sélecteurs (190, 194 ; 1900, 1901, 1940, 1941) aptes à relier alternativement le bus d'adresses (122) issu du microcontrôleur (120) aux deux mémoires statiques,
- un bus de données (181) relié au microcontrôleur (180),
- deux sélecteurs (192, 196 ; 1922, 1962) aptes à relier alternativement les
- 25 deux mémoires statiques (160, 165) au bus de données relié au microcontrôleur (180),
- un bus d'adresses (182) relié au microcontrôleur (180), et
- deux sélecteurs (192, 196 ; 1920, 1921, 1960, 1961) aptes à relier alternativement les deux mémoires statiques (160, 165) au bus d'adresses
- 30 (182) relié au microcontrôleur (180).

3. Circuit de commande selon la revendication 2, caractérisé par le fait que la logique de permutation (150) pilote les sélecteurs (190, 194, 192, 196) de sorte que lorsque le microcontrôleur (120) accède à l'une des mémoires statiques (160, 165), le microcontrôleur (180) accède à l'autre
5 mémoire statique.

4. Circuit de commande selon l'une des revendications 2 ou 3, caractérisé par le fait que les sélecteurs (1902, 1942) contrôlant l'accès au bus de données (121) par le microcontrôleur (120) sont des sélecteurs bidirectionnels, tandis que les sélecteurs qui contrôlent l'accès aux bus
10 d'adresses (122, 182) et les sélecteurs qui contrôlent l'accès au bus de données (181) par le microcontrôleur sont des sélecteurs monodirectionnels.

5. Circuit de commande selon l'une des revendications 1 à 4, caractérisé par le fait que les moyens formant contrôleur d'écran (180), logique de commutation (150) et sélecteurs de bus (190, 192, 194, 196) sont
15 constitués d'un circuit intégré unique (CGA, 200).

6. Circuit de commande selon la revendication 5, caractérisé par le fait que le circuit intégré unique (200) comprend :

- un multiplexeur de voies de données (250),
- un multiplexeur de voies d'adresses (255),
- 20 - une logique (260) de commutation des mémoires statiques (160, 165),
- un séquenceur de circuit (290).

7. Circuit de commande selon la revendication 6, caractérisé par le fait que le circuit intégré unique (200) comprend en outre :

- un bloc logique de partage du temps (265),
- 25 - un bloc de conversion de données image (270), et
- un compteur d'adresses de rafraichissement (275).

8. Circuit de commande selon l'une des revendications 1 à 7, caractérisé par le fait que la logique de commutation (150) est conçue pour recopier directement dans la mémoire de travail, le contenu de la mémoire
30 image, pendant le rafraichissement de l'écran (20) à l'aide de la mémoire image.

9. Circuit de commande selon l'une des revendications 1 à 8, caractérisé par le fait qu'il comprend des mémoires ROM (140, 141, 142, 143) définissant une banque de données image.

5 10. Circuit de commande selon l'une des revendications 1 à 9, caractérisé par le fait qu'il comprend des moyens (310 ; 3000, 3001) aptes à recevoir des données images à partir d'un module externe.

11. Circuit de commande selon la revendication 10, caractérisé par le fait qu'il comprend des sélecteurs (3220, 3221, 3222, 310, 3000, 3001) aptes à relier sélectivement le microcontrôleur (120) ou le module externe
10 aux deux mémoires statiques (160, 165).

12. Circuit de commande selon l'une des revendications 10 ou 11, caractérisé par le fait qu'il comprend des compteurs (3000, 3001) aptes à générer des signaux d'adresse à partir de signaux d'horloge générés par le module externe.

15

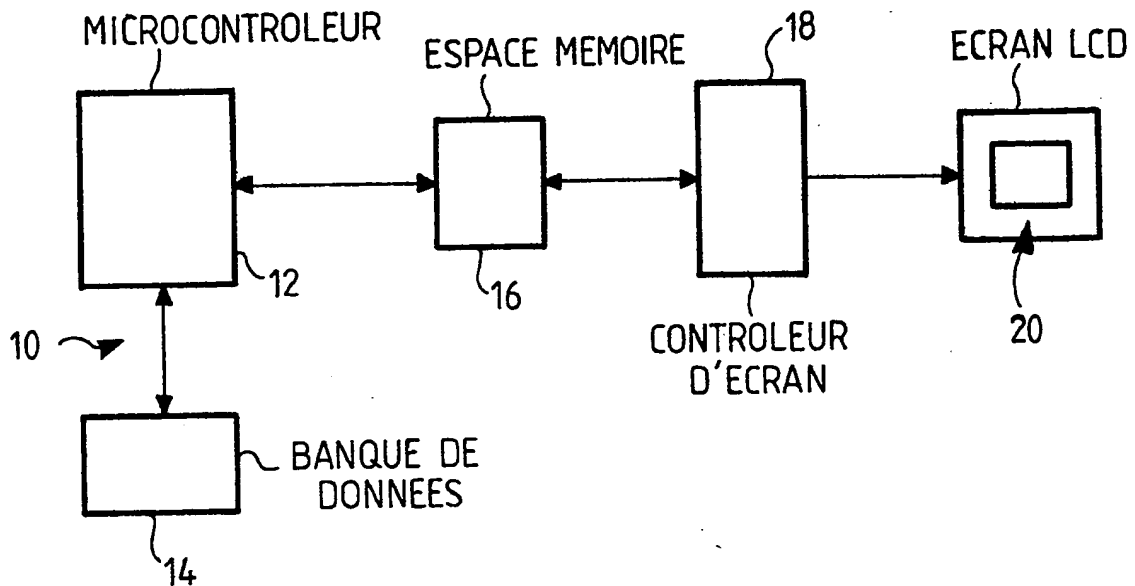
20

25

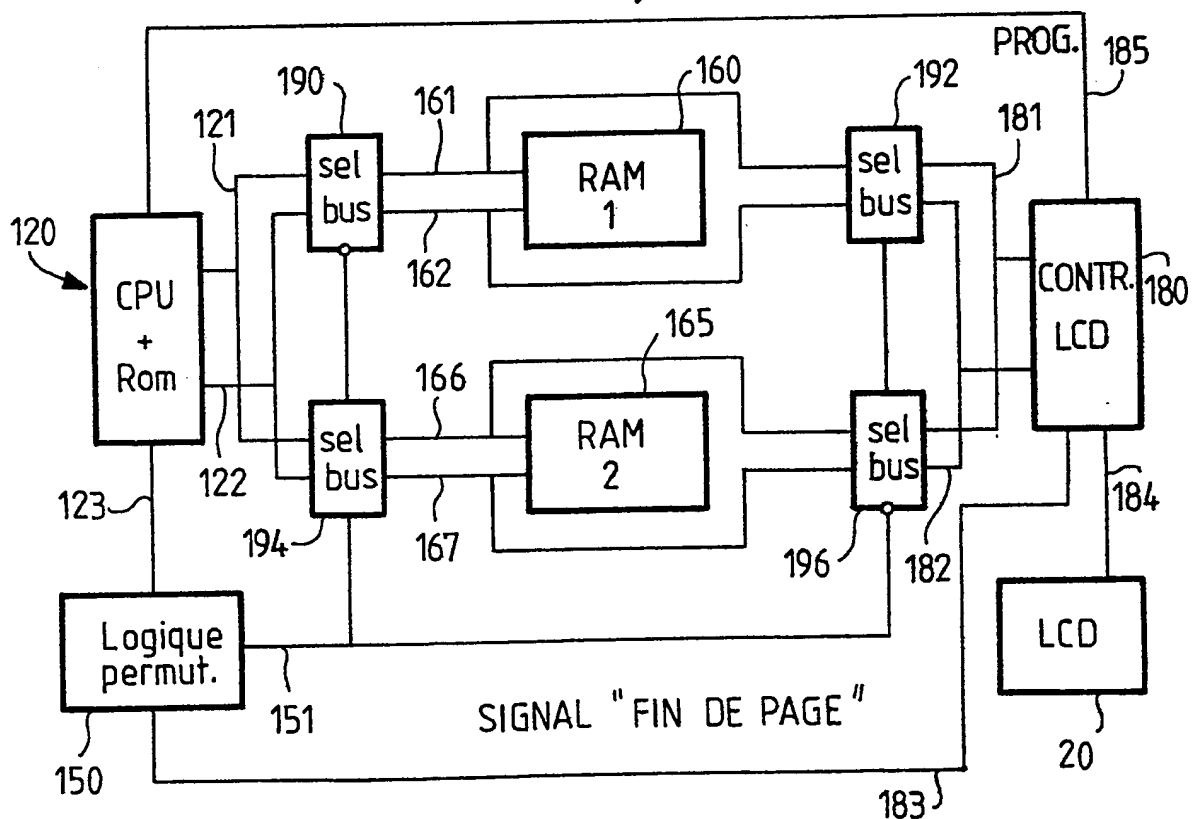
30

1/9

FIG_1 ETAT DE LA TECHNIQUE

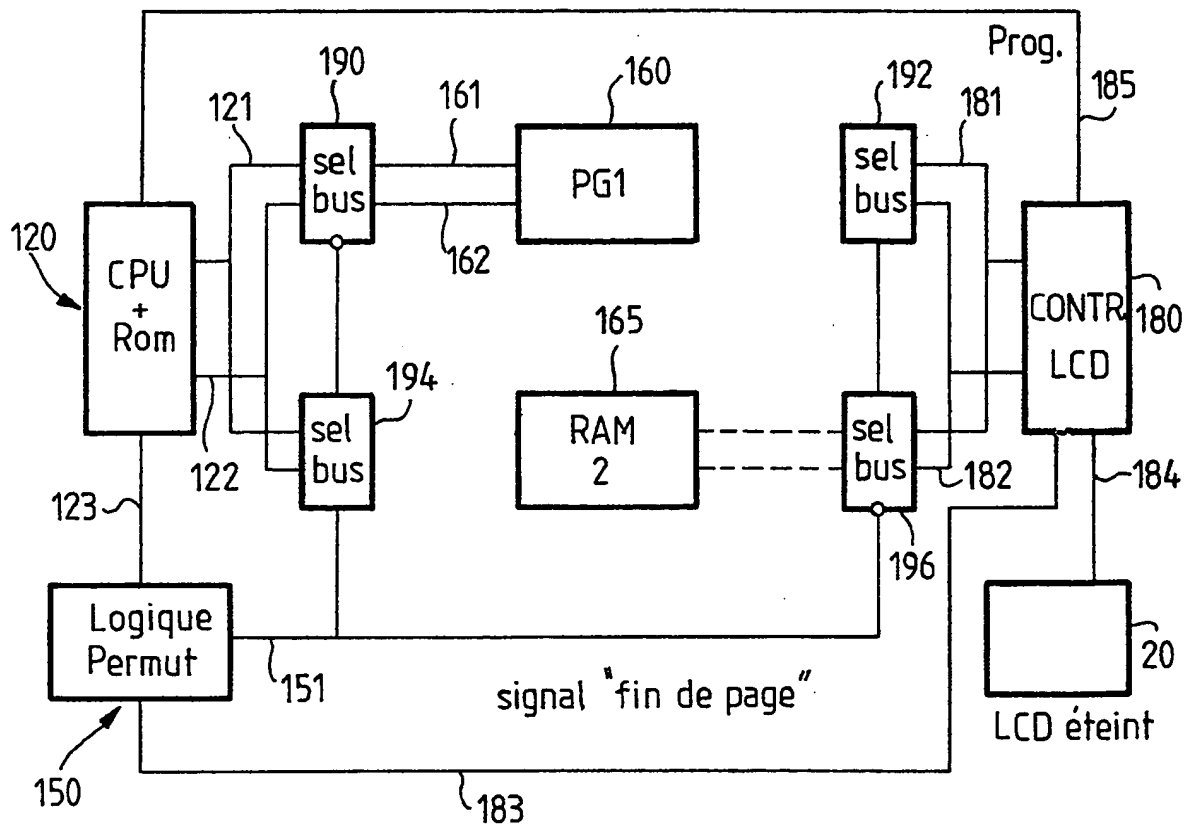


FIG_2 100

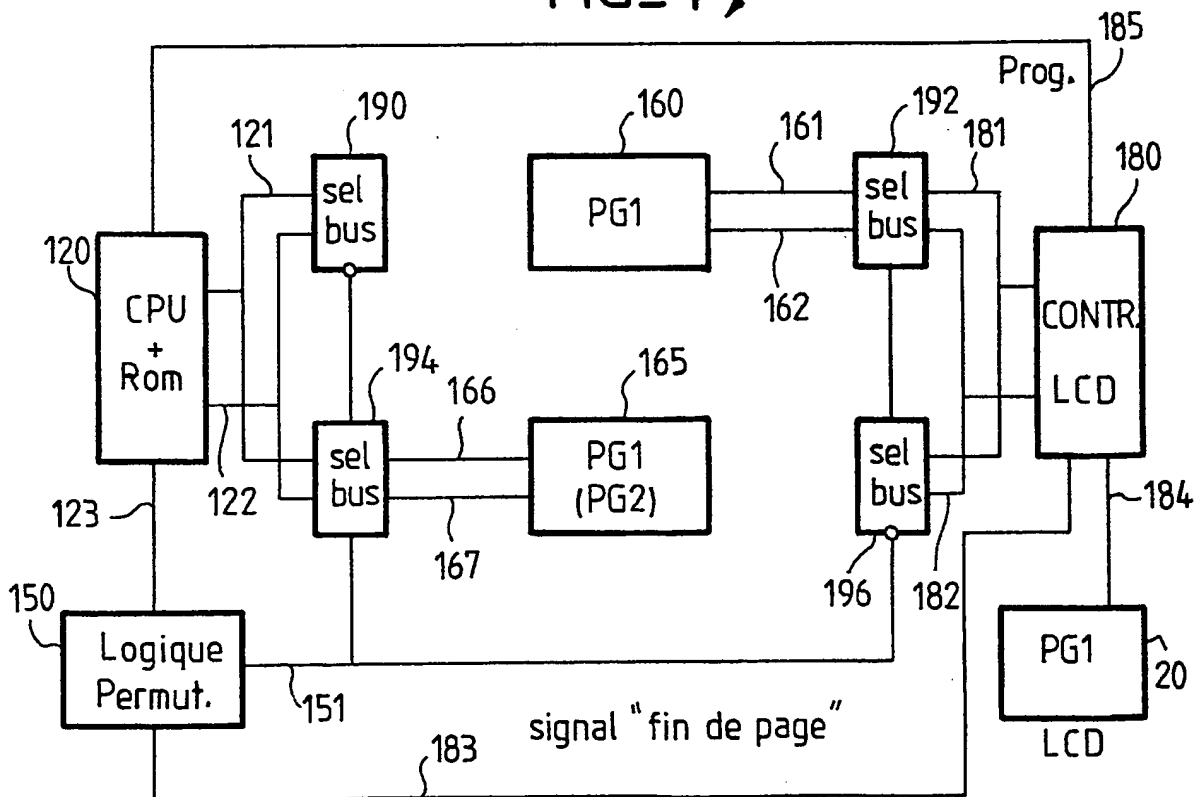


2/9

FIG_3



FIG_4



3/9

FIG. 5

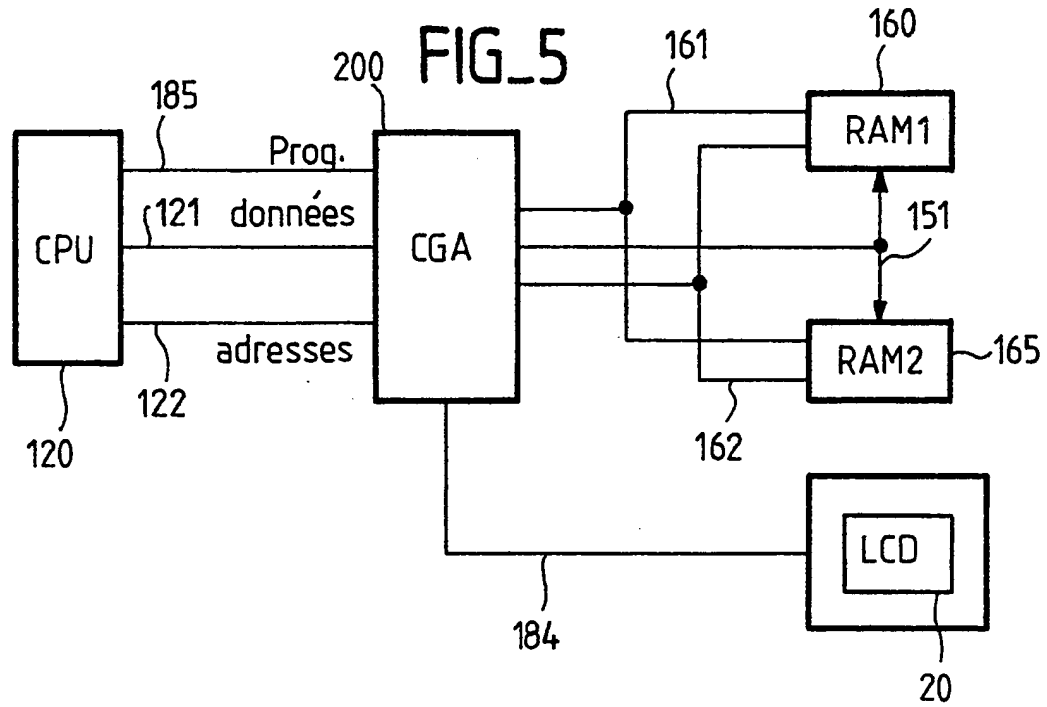
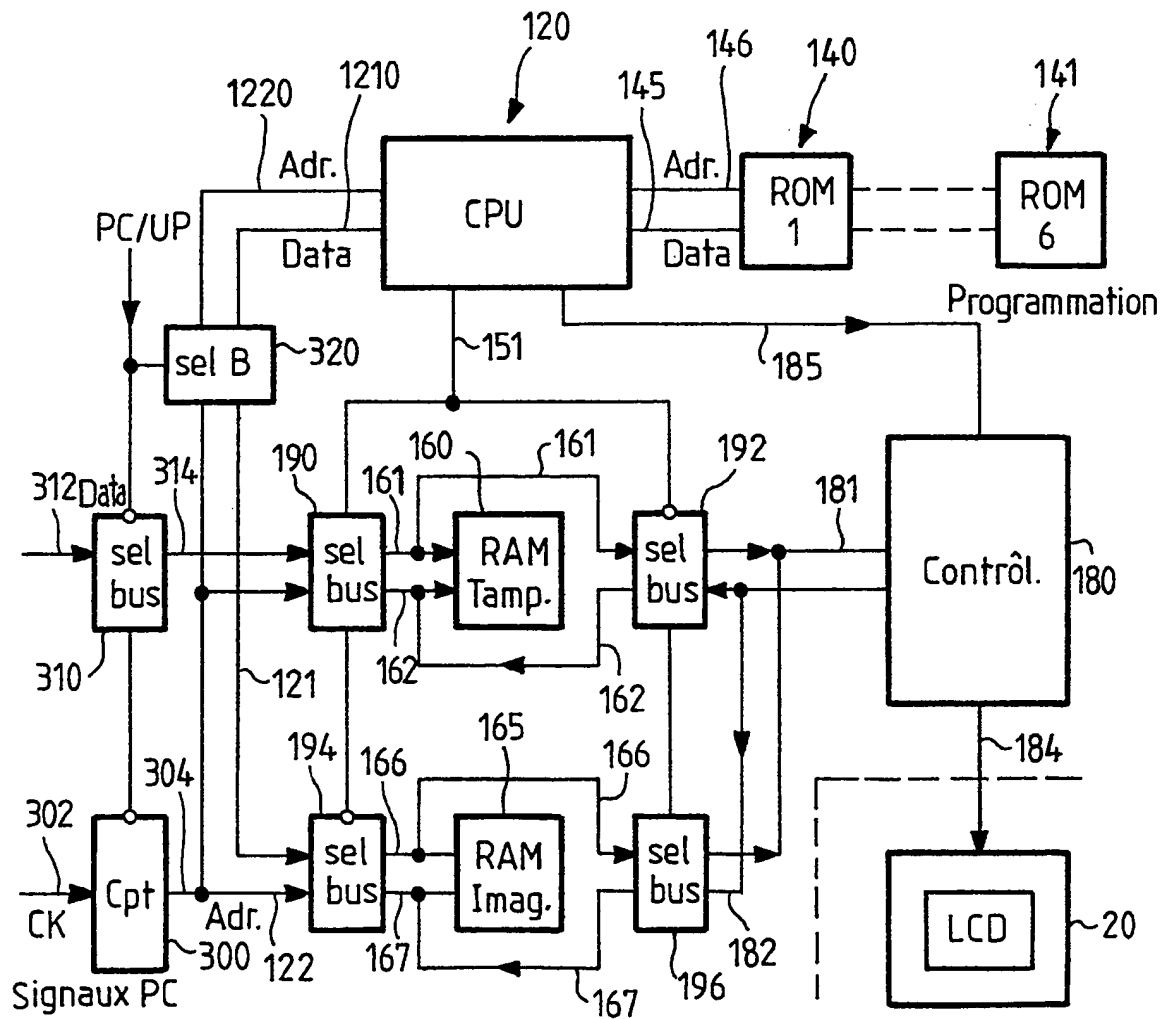


FIG. 7



4/9

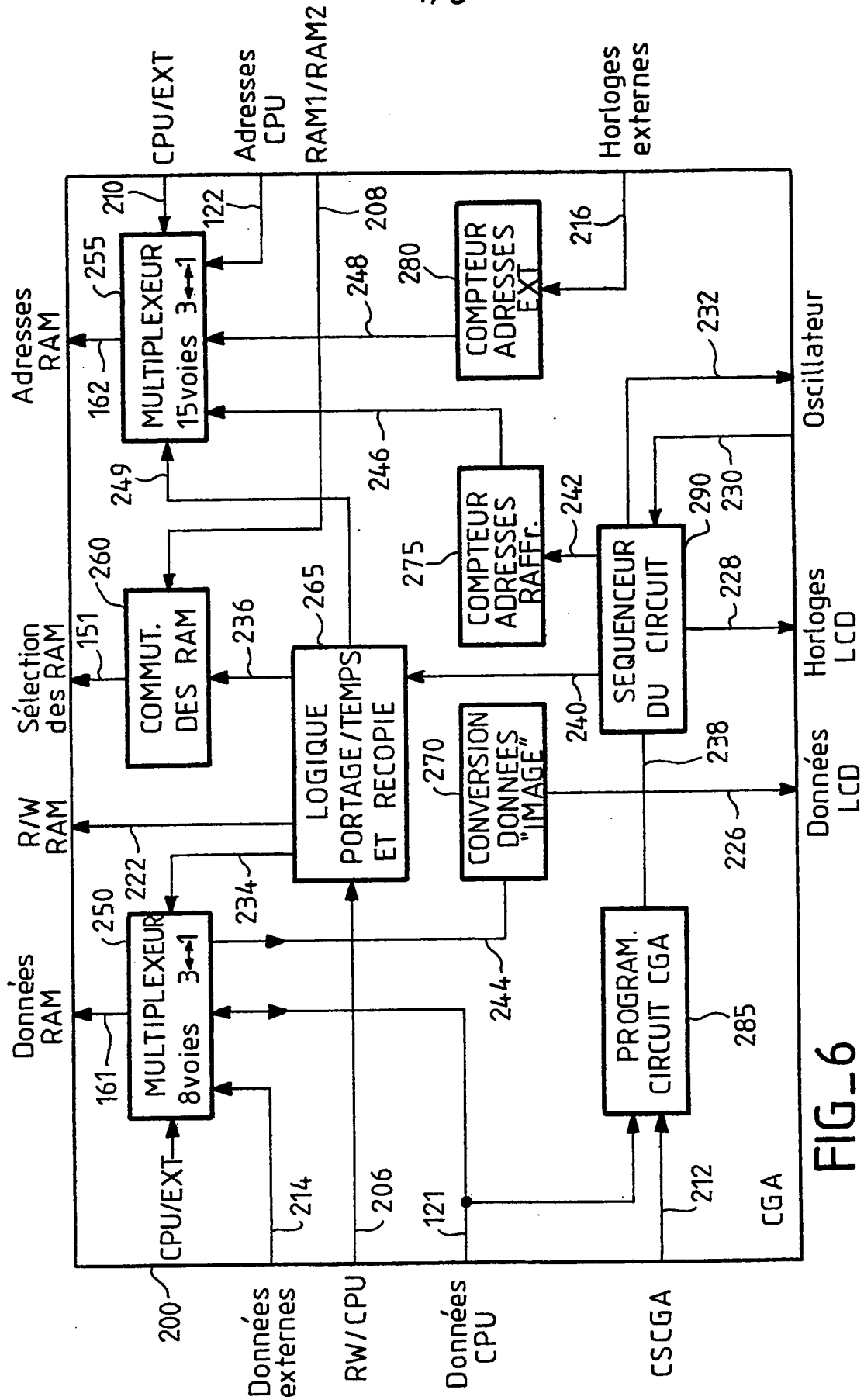
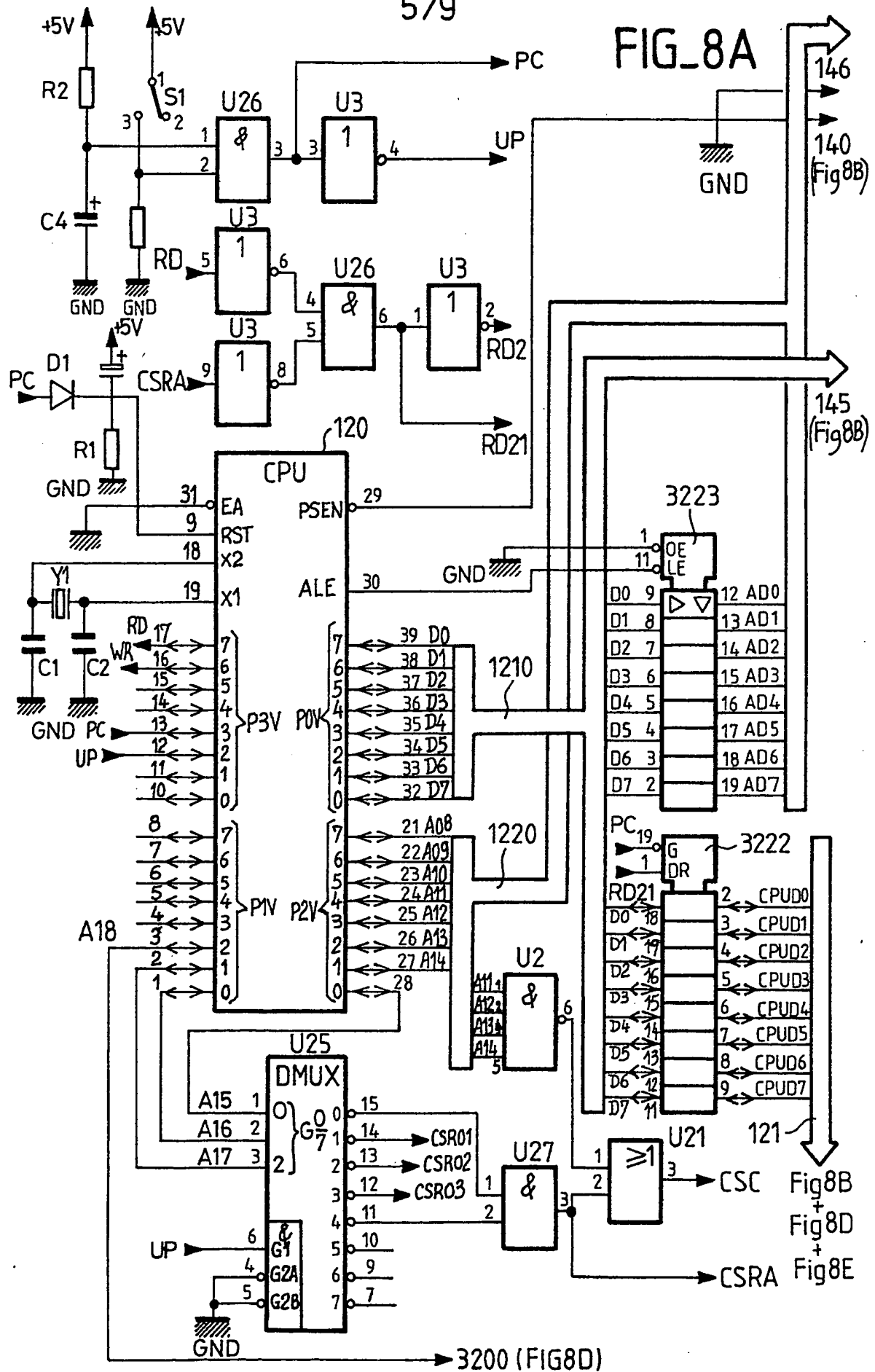


FIG-6



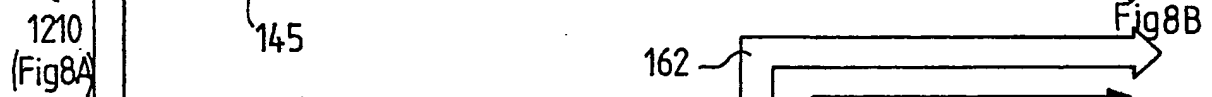
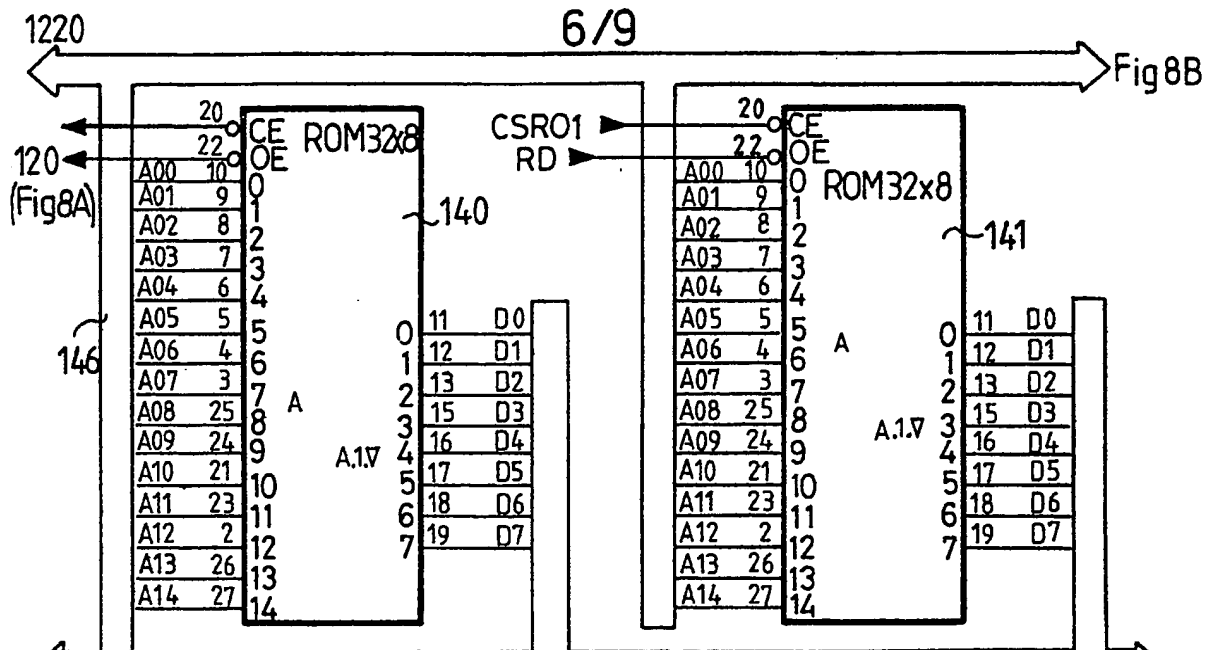
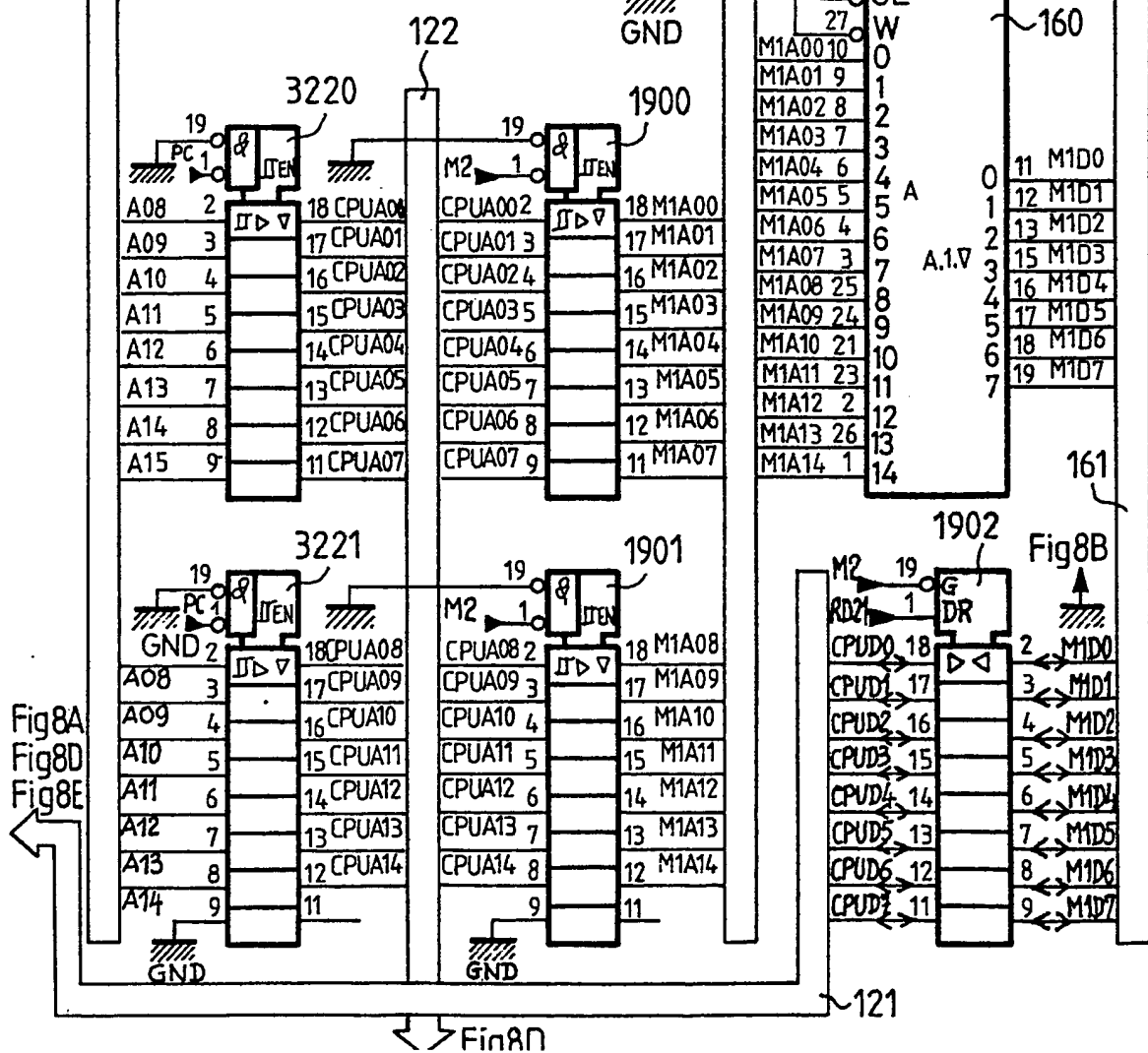
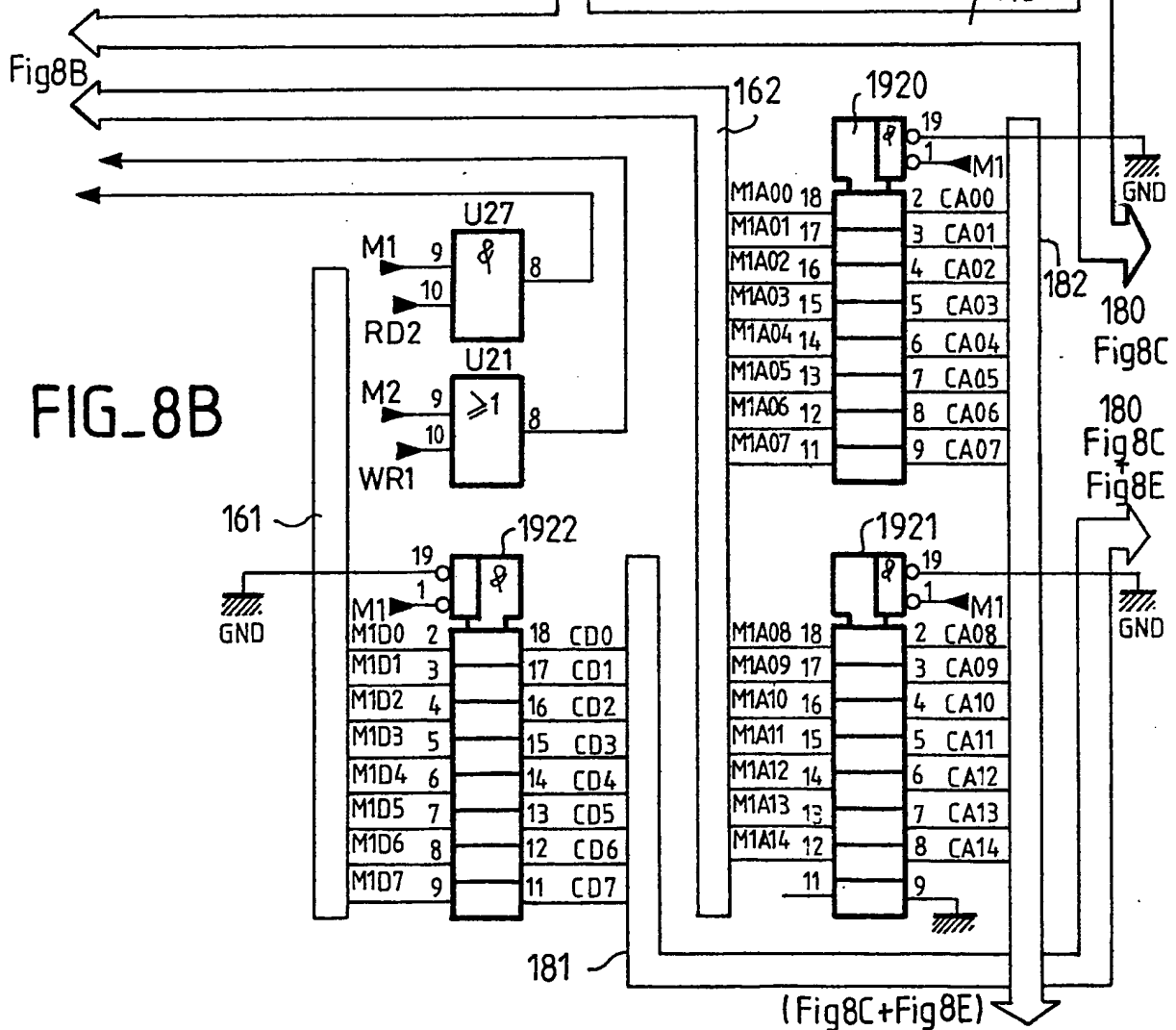
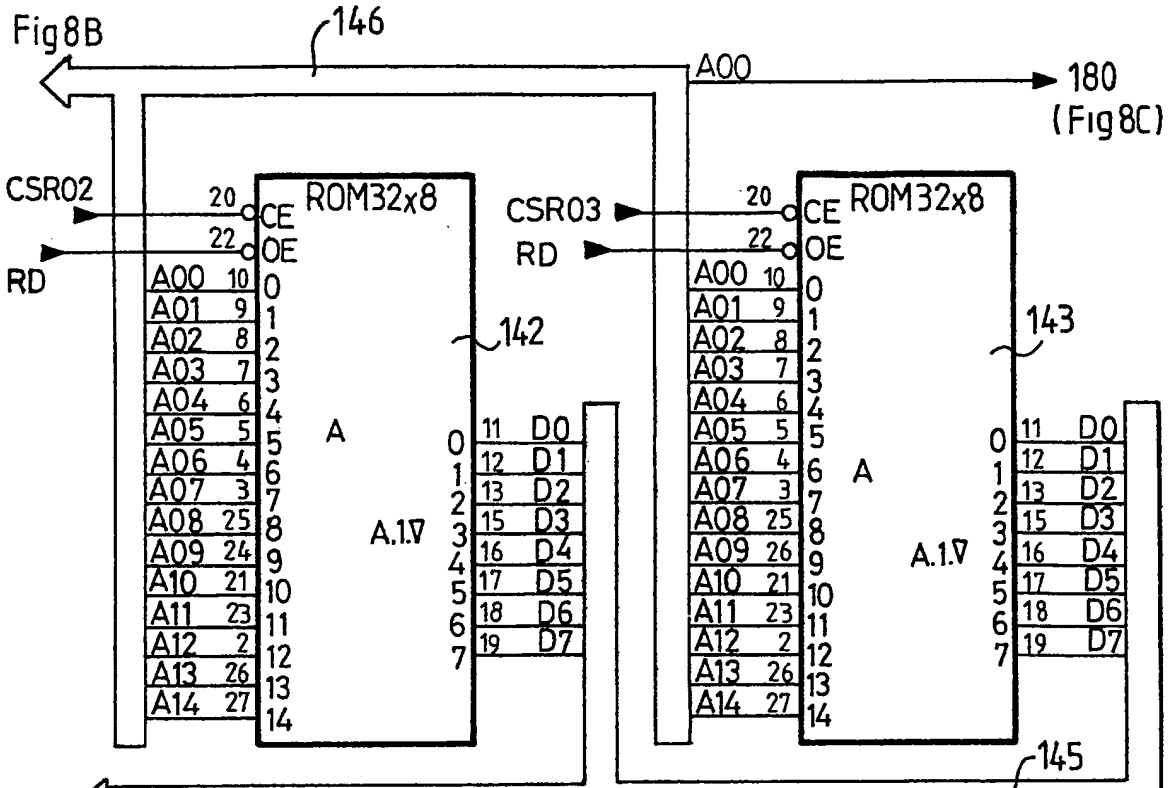


FIG. 8B



6bis/9



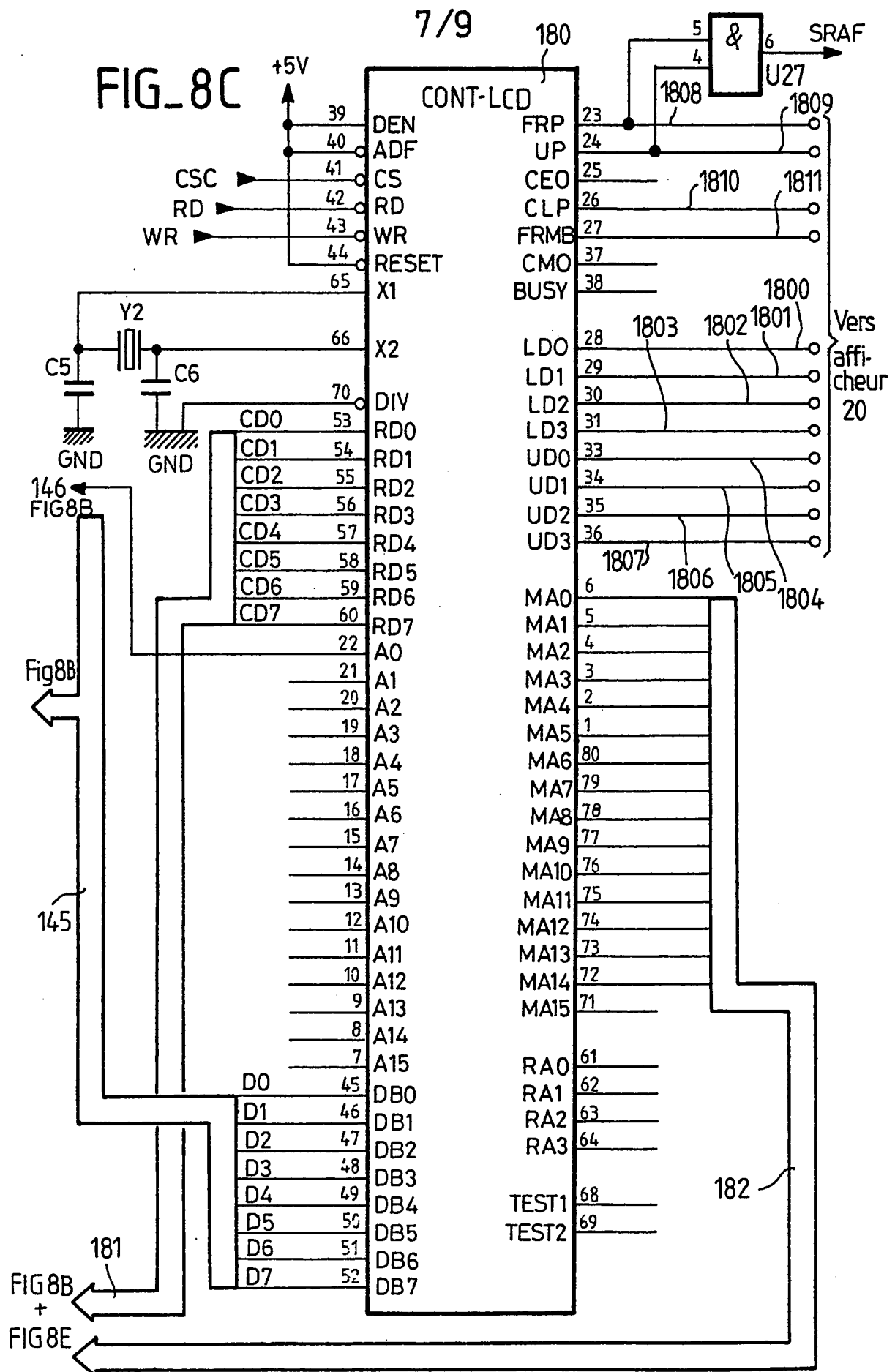
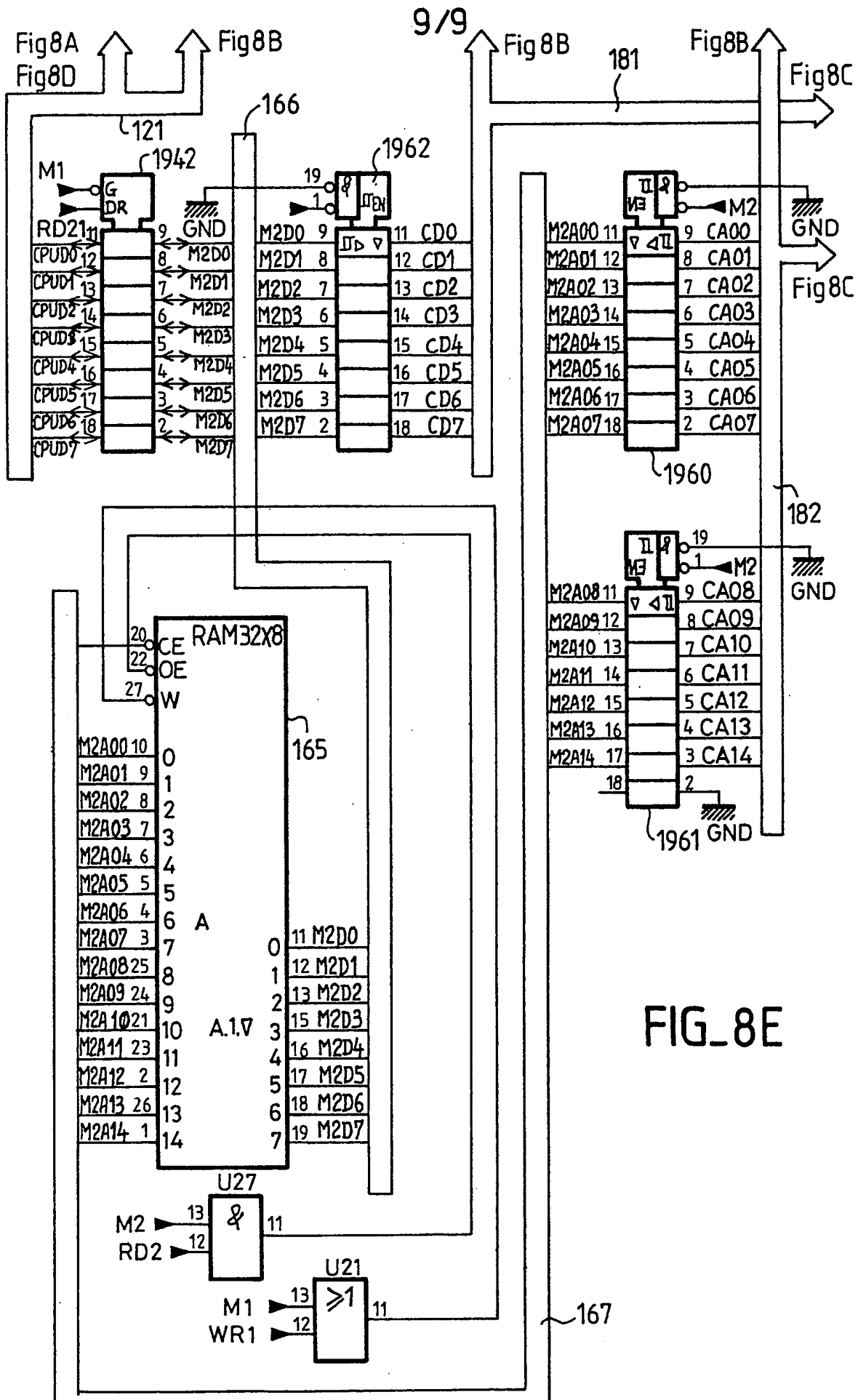


Fig. 8B



Fig 8E



INSTITUT NATIONAL
de la
PROPRIETE INDUSTRIELLE

RAPPORT DE RECHERCHE
établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FR 9103311
FA 459539

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
Y A	EP-A-0 312 720 (TEKTRONIX, INC.) 26 Avril 1989 * colonne 4, ligne 4 - colonne 6, ligne 20; figures 1,2,4 * * colonne 6, ligne 40 - colonne 6, ligne 46 * * colonne 10, ligne 6 - colonne 10, ligne 57 * ---	1 2-3,8
Y	US-A-4 417 318 (SHIGERU HIRAHATA ET AL.) 22 Novembre 1983 * colonne 1, ligne 42 - colonne 2, ligne 38 * ---	1
A	GB-A-2 150 798 (RCA CORPORATION) 3 Juillet 1985 * page 1, colonne de droite, ligne 114 - page 2, colonne de gauche, ligne 62; figure 1 * -----	10-12
		DOMAINES TECHNIQUES RECHERCHES (Int. Cl.5)
		G09G G01S
Date d'achèvement de la recherche 28 NOVEMBRE 1991		Examineur ZENDER J.J.
<p>CATEGORIE DES DOCUMENTS CITES</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons * : membre de la même famille, document correspondant</p>		